

MC Z-dek

Zynq™评估开发板 硬件用户手册

版本:2.1

2015 年 12 月 20 日

目 录

1. 介绍	4
1.1 产品定义.....	5
1.2 产品特征.....	7
1.3 Zynq Bank Pin 分配.....	9
2. 功能描述.....	10
2.1 全部可编程 SoC.....	10
2.2 内存	10
2.2.1 DDR3	10
2.2.2 SPI Flash	13
2.2.3 microSD 卡接口	14
2.3 USB	16
2.3.1 USB Host 2.0.....	16
2.3.2 USB 转 UART 桥.....	16
2.4 时钟源.....	17
2.5 重置资源.....	17
2.5.1 Power-on 重置 (PS_POR_B)	17
2.5.2 Program_B , DONE , PUDC_B , INIT_B	17
2.5.3 处理器子系统重置.....	18
2.6 用户自定义 I/O	18
2.6.1 自定义按钮.....	24
2.6.2 自定义 LED	24
2.7 10/100/1000 以太网 PHY 芯片	25
2.8 HDMI 视频接口	25
2.9 模式配置.....	27

2.9.1 JTAG.....	28
2.10 电源	28
2.10.1 主电源输入.....	28
2.10.2 降温风扇.....	29
3. Zynq-7000 AP SoC I/O Bank 分配	29
3.1 PS MIO 分配.....	29
3.2 Zynq-7000 AP SoC Bank 电压	30
4 机械结构.....	30
5 免责声明.....	30
6. 关于兆宇恒通.....	31

1. 介绍

MC Z-dek 是一款较为经济的评估版，可用于绝大多数板上系统（system on module，SOM）的开发和验证。本文档内容覆盖了下述的产品。

表 1 - Z-dek 系列产品

名称	部件编号	Zynq 芯片	测试温度范围
评估套件	AES		0° ~70℃
7010 SOM			
7010 工业 SOM			
7010 低价 SOM			
7020 SOM			
7020 工业 SOM			
7020 低价 SOM			
7020 工业低价 SOM			

*除 microSD 卡的连接器外，它只能在-25℃~85℃范围。

1.1 产品定义

表 2 - 产品定义

名称	定义
评估套件	MC Z-dek 评估套件包括可以让开发和评估简化的 Zynq7010 设备和各种附带配件。这些附带的配件包括一个 micro-SUB 线缆，Vivado 设计软件（只支持 7010），可选的 4GB microSD 卡（预装一个 Linux 测试系统），和一个纸质包装盒。详细的列表和教程可以在 www.megacreate.cn 上找到。该套件包含的板卡可以作为一个单独的板卡独立运行也可以作为一个模块系统（SOM）的插件运行于一个底板上。
SOM（模块系统）	模块系统（System-on-module）。这些板卡可以独立运行也可以作为插件运行在底板上。模块系统的版本不包括上述评估套件中的一些配件。模块系统倾向于批量售卖，以作为与底板一起使用的产品部件。
工业片上系统	除了全部选用能够经受-40° ~85℃宽温测试的工业级部件（其中 microSD 卡连接器只能工作在-25° ~80℃之间）外，与模块系统一样。兆宇科技对这些工业级模块系统进行了严格的测试。然而，兆宇科技不保证工业级 SOM 在所有条件下都能在这个温度下运行所有的功能。最终用户需要负责为设备提供合适散热和降温。
成本优化模块系统	这个版本的模块系统简化了作为独立运行模块才必需的外围电路。成本优化模块系统只能嵌入底板上，与底板一起工作。模块简化可以为大批量器件采购降低成本。该版本与完全版本的详细差别详见……
工业级成本优化模块系统	与成本优化系统相同，但是工业级模块所有器件选用经过-40° ~85℃宽温测试的工业级器件，除了 microSD 连接器只有-25°

	~85℃。然而，兆宇科技不保证工业级 SOM 在所有条件下都能在这个温度下运行所有的功能。最终用户需要负责为设备提供合适散热和降温。
--	--

1.2 产品特征

Z-dek 提供的产品特征包括：

- Xilinx Zynq 7010/7020 CLG400 AP SOC
 - 主配置=QSPI Flash
 - 辅助配置选项
 - ◆ JTAG(通过 Xilinx PC4 Header 提供的 PL 实现)
 - ◆ microSD 卡
- 内存
 - 1GB DDR3 (×32)
 - 128MB QSPI Flash
 - 4GB microSD 卡 (只有评估套件提供)
- 接口
 - 可编程 Xilinx PC4 Header
 - ◆ 可编程逻辑 (PL) JTAG
 - ◆ JTAG 下载口接插件 (厂商)
 - 10/100/1000Mb 以太网
 - USB Host 2.0
 - microSD 卡
 - 基于 USB2.0 的 USB 转 UART 桥
 - One DigilentPmod compatible interface, connected to PS MIO
 - 2 个 100 针 MicroHeaders
 - Reset 按钮
 - 1 个自定义按钮

- 1 个自定义 LED 灯
- 完成状态 LED 灯
- 板载晶振
 - 33.333MHz
- 电源
 - High-efficiency regulators for Vccint, Vccpint, Vccbram, Vccaux, Vccpaux, Vccpll, Vcco_0, Vcco_ddr, Vcco_mio
 - 三种可能的供电方式
 - ◆ 从 USB 转 UART 接口的 USB 总线电源
 - ◆ 可选电池接口和 AC/DC 支持
 - ◆ 底板供电
- 软件
 - Vivado 设计套件
 - ◆ 可从 www.xilinx.com/support/download.html 下载
 - ◆ 从 www.xilinx.com/onlinestore/dvd_fulfillment_request.htm 获取免费 DVD
 - Vivado 设计套件：Design Edition license voucher (node-locked, device-locked to the XC7Z010 – Evaluation Kit only, AES-Z7MB-7Z010-G)
 - 注意：
 - ◆ Xilinx 提供 7Z010 和 7Z020 的 Web 安装许可。详见：
http://www.xilinx.com/products/design_tools/vivado/vivado-webpack.html
 - ◆ 网络安装包用户付费获得 EF-VIVADO-DEBUG-NL 许可证 ,从而获得 Vivado Logic Analyzer 和 Vivado Serial I/O Analyzer 功能软件。详情可咨询当地的 Xilinx 技术支持。

1.3 Zynq Bank Pin 分配

下图描述了 Z-dek 上的 Zynq bank pin 的分配。紧接着的表格中详细列出了 I/O 连接关系。

2. 功能描述

2.1 全部可编程 SoC

Z-dek 包含 1 个 Xilinx Zynq XC7Z010-1CLG400C 或 1 个 Zynq XC7Z020-1CLG400C SP SoC。兆宇科技为用户提供所需的各种温度和速度等级器件。

2.2 内存

Zynq 包含一个坚固的 PS 内存接口单元。该内存接口单元包含一个动态内存控制器和一个静态内存接口模块。Z-dek 通过这两种先进的接口提供两种不同的可启动的非易失存储资源。

2.2.1 DDR3

Z-dek 包含两个 Samsung K4B2G1646Q-BCH9 DDR3 内存部件，从而具备了 256M×32 位接口总共 1GB 的内存访问控制。DDR3 内存通过 Zynq AP SoC 提供的 PS 连接到内存控制器上。PS 合并了两个 DDR 控制器，以及相关的 PHY 芯片存储空间，还包括与他自己专用的一组 I/O 引脚。DDR3 访问速度最高支持 1,066MT/s。Z-dek 的 DDR3 接口使用 1.5V SSTL 兼容输入。在 Z-dek 开始的设计中，Zynq 不支持 1.35V 信号输出。Samsung K4B2G1646Q-BCH9 DDR3L 作为 1.35 的器件向后兼容 1.5V 接口。Z-dek 发布时，Xilinx 限制 Zynq-7000 的 DDR3 接口为 1.35V。

Z-dek 使用 DDR3 终端并将其配置为 fly-by routing topology，就像推荐的 AR55820。此外，该电路板走线长度相匹配，补偿 XC7Z010，CLG400 内部封装的飞行时间，以满足 ZYNQ-7000 AP SoC 的 PCB 设计和引脚规划指南（UG933）中列出的要求。

所有的单端信号传送用 40 欧姆的线路阻抗。DCI 电阻（VRP/VRN），以及差分时钟，被设置为 80 欧姆。DDR3-CKE0 通过 40 欧姆到 VTT 在 AR51778 描述终止。DDR3-ODT 具有相同的 40 欧姆到 VTT 终止。在 MicroZed 设计的时候，有关于 DDR3-RESET# 是否应具有 40 欧姆到 VTT 或 4.7K 欧姆至 GND，这就是为什么 JT6 的目的是在得到这两种选择在 Xilinx 文档中的差异。赛灵思公司自澄清，4.7K

欧姆到 GND 是正确的配置 DDR3-RESET #。见 AR55616。

所有的终端信号由每个 DDR3 芯片在 ZQ 上都有它自己的 240Ω 下拉电阻。使用中要注意 DDR-VREF 与 DDR-VTT 的不同。

DDR3 信号连接

信号名称	描述	Zynq AP SOC 管脚	DDR3 管脚
DDR_CK_P	差分时钟输出	L2	J7
DDR_CK_N	差分时钟输出	M2	K7
DDR_CKE	时钟使能	N3	K9
DDR_CS_B	片选	N1	L2
DDR_RAS_B	RAS 行地址选择	P4	J3
DDR_CAS_B	RAS 列地址选择	P5	K3
DDR_WE_B	写使能	M5	L3
DDR_BA[2:0]	Bank 地址	PS_DDR_BA[2:0]	BA[2:0]
DDR_A[14:0]	地址	PS_DDR_A[14:0]	A[14:0]
DDR_ODT	输出动态终端	N5	K1
DDR_RESET_B	重置	B4	T2
DDR_DQ[31:0]	I/O 数据	PS_DDR_[31:0]	DDR3_DQ pins
DDR_DM[3:0]	数据掩码	PS_DDR_DM[3:0]	LDM/UDM × 2
DDR_DQS_P[3:0]	I/O 差分数据选通	PS_DDR_DQS_P[3:0]	UDQS/LDQS
DDR_DQW_N[3:0]	I/O 差分数据选通	PS_DDR_DQS_N[3:0]	UDQS#/LDQS#
DDR_VRP	校准输入终端 I/O 资源	H5	N/A
DDR_VRN	校准输入终端 I/O 资源	G5	N/A

	源		
DDR_VREF[1:0]	I/O 参考电压	H6,P6	DDR_VREF

2.2.2 SPI Flash

Z-dek 配备一个 4 位 SPI（quad-SPI）系列 NOR flash。

这块板子用的是 Spansion S25FL128S。SPI Flash 存储器可以用来提供系统启动，应用程序代码和数据存储。它可以用来初始化 PS 子系统，也可以用来配置 PL 子系统（bitstream）。Spansion 提供的 Spansion Flash File System（FFS）可以用来启动 Zynq-7000 AP SoC。

SPI Flash 的特点：

- 128M bit 存储空间；
- 支持 x1，x2 和 x4；
- 访问速度可达 104MHz，可支持 Zynq100MHz 的配置速率；
 - 在 Quad-SPI 模式，传输速率可达 400Mbps
- 3.3V 供电

SPI Flash 连接到 Zynq PS QSPI 接口上。这要求 SPI Flash 链接到 MIO Bank 0/500 指定的针脚上，最好是连接到 Zynq TRM 描述的 MIO[1:6,8]。要使用了 Quad-SPI 回馈模式，qspi_sclk_fb_out/MIO[8]需要连接到了一个 20K 电阻，将管脚电压拉升到 3.3V。这允许 QSPI 时钟频率比 FQSPICLK2 更快。20K 拉升电阻也可以将 Bank1 的电压设置为 1.8V，从而实现 vmode[1]。

信号名称	描述	Zynq 管脚	MIO	QSPI Pin
CS	片选	A7（MIO Bank 0/500）	1	1
DQ0	Data0	B8（Bank MIO 0/500）	2	5
DQ1	Data1	D6（MIO Bank 0/500）	3	2
DQ2	Data2	B7（MIO Bank 0/500）	4	3
DQ3	Data	A6（MIO Bank 0/500）	5	7
SCK	串行数据时钟	A5（MIO Bank 0/500）	6	6

FB Clock	QSPI 反馈	D5 (MIO Bank 0/500)	8	N/A
----------	---------	---------------------	---	-----

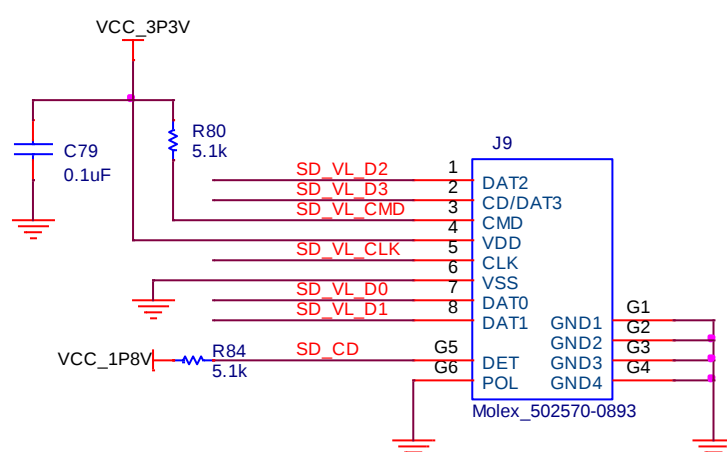
注意：QSPI 数据和时钟管脚是与 vmode 和 BOOT_MODE 的跳线管脚共享的。

Spansion 设备的管脚定义是兼容的，如果需要更大存储空间的设备可以联系兆宇科技。

2.2.3 microSD 卡接口

Zynq PS SD/SDIO 串行控制器可与 Z-dek 的 microSD 卡进行通讯。Z-dek 评估套件(AES-Z7MB-7Z010-G)包含一个商用温度等级的 4GB microSD 存储卡。该 microSD 既可以用来提供非易失扩展存储空间，也可以作为 Zynq-7000 AP SoC 的系统启动设备。PS 的外设 sd0 通过 Bank 1/501 MIO[40-46]连接到 Zynq 上，该接口还包括 SD 卡检测功能。microSD 卡没有写保护信号，但是 Linux 驱动却希望能够提供这样的信号。因此，Z-dek 简单的连接并下拉 MIO[50]模拟一个 SD_WP 保护信号。这个信号没有连接到 microSD 卡上，之所以加上它仅仅是为了增加 Linux 操作系统的兼容性。

microSD 是 3.3V 的接口，但是它所连接到的 MIO Bank 1/501 却被设为 1.8V。因此，有一个电平转换电路来匹配这两个电压。Z-dek 初始版本使用了 Maxim MAX13035EETE+。修正版 Texas Instruments 的 TXS02612。这两种器件在 Z-dek 上完全兼容。

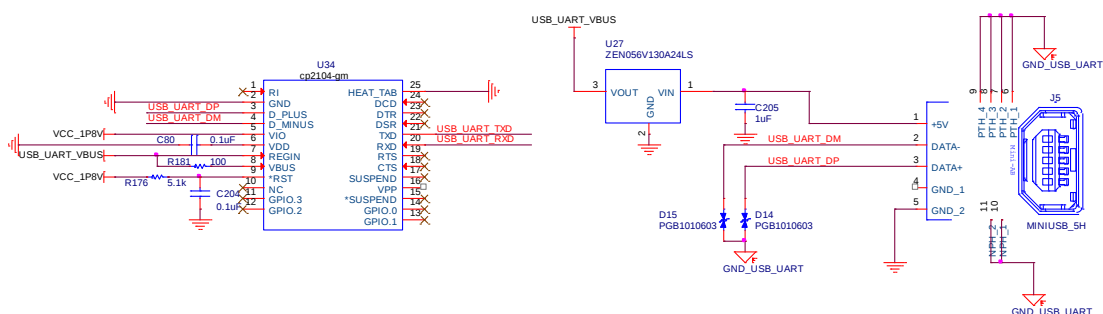


作为 Zynq TRM，目前只支持主模式。

Z-dek 的 microSD 卡通过一个 8-pin micro SD 卡连接器，J6 和 Molex

502570-0893 连接到 Zynq 上。注意这个连接器，即使在工业级 Z-dek SOMs 上，支持的温度范围也只是-25°C到 85°C。我们推荐使用 **Class 4 card** 或更好的。最大容量可支持到 **32G**。如果用户想在工业级温度条件下使用 **microSD** 卡，那么需要自己提供工业级的 **microSD**。如果你在这方面有更多的需求或问题可以联系您本地的 **Xilinx** 技术支持。

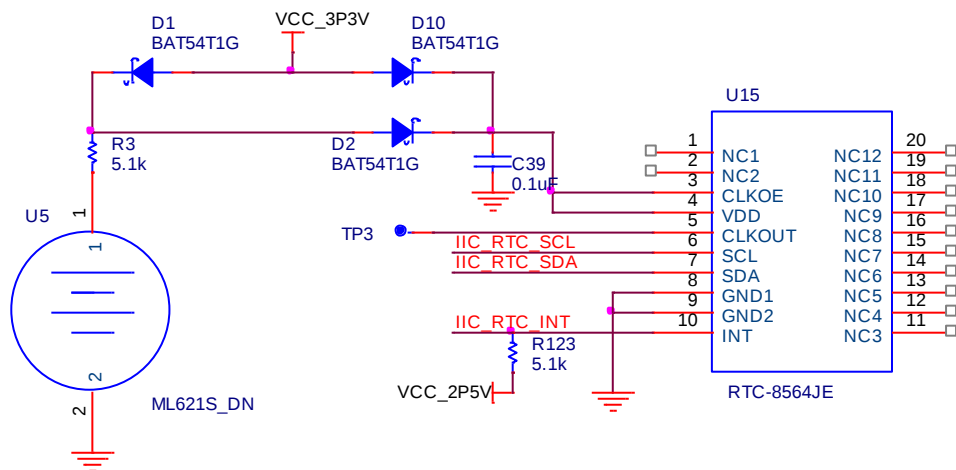
信号名称	描述	Zynq 管脚	MIO	电平转换管脚	SD Card 管脚
CLK	时钟	D14 (MIO Bank 1/1501)	40	Pass-Thru	5
CMD	命令	C17 (MIO Bank 1/1501)	41	Pass-Thru	3
Data[3:0]	数据	MIO Bank 1/1501 D0:E12 D1:A9 D2:F13 D3:B15	42:45	Pass-Thru	Data Pins 7 8 1 2
CD	检测	D16 (MIO Bank 1/1501)	46	Pass-Thru	CD
WP	写保护	B13 (MIO Bank 1/1501)	50	N/C	N/C



2.4 时钟源

开发板上设计有 RTC，使用的芯片是 RTC-8564JE，是一颗 I2C 总线的时钟芯片，片内集成了 32.768kHz 的晶振，所以，无需板卡外置晶振，通过提供的驱动程序，可以建立板卡的 RTC 系统。

在板卡掉电时，RTC 通过一个板上的电池进行供电，维持一个基本的时钟系统，当板卡再次上电时，可以保证时间的连续性。电池为可充电，在板卡上电后，会为电池充电。电池容量不大，掉电时可维持大于 3 个月的时间，如果长时间不用，电池电压降低到阈值后，板卡的时间系统会中断，再次上电时需要重新配置。



2.5 重置资源

2.5.1 Power-on 重置 (PS_POR_B)

(待补充)

2.5.2 Program_B , DONE , PUDC_B , INIT_B

(待补充)

2.5.3 处理器子系统重置

(待补充)

2.6 用户自定义 I/O

为了方便客户扩展设计使用，Z-Dek 板卡上对外引出了 100 个用户 IO，这 100 个用户 IO 分为两个接插件，接插件型号为 FCI 61083_101400LF。



信号管名称脚及对应的 FPGA-pin 如下表所示：

J7				J8			
1	JTAG_TCK	U12. F9	TCK_0	1	PMOD_D0	U12. E8	PS_MI013_500
2	JTAG_TMS	U12. J6	TMS_0	2	PMOD_D1	U12. E9	PS_MI010_500
3	JTAG_TDO	U12. F6	TDO_0	3	PMOD_D2	U12. C6	PS_MI011_500
4	JTAG_TDI	U12. G6	TDI_0	4	PMOD_D3	U12. D9	PS_MI012_500
5	PWR_EN	U19. 13	EN	5	PMOD_D4	U12. E6	PS_MI00_500
6	CARRIER_RST#	U31. 1	A1	6	PMOD_D5	U12. B5	PS_MI09_500
7	IIC_USR_SCL	U13. 8	SC2	7	PMOD_D6	U12. C5	PS_MI014_500
8	FPGA_DONE	U12. R11	DONE_0	8	PMOD_D7	U12. C8	PS_MI015_500
9	IIC_USR_SDA	U13. 7	SD2	9	FPGA_INIT_B	U12. R10	INIT_B_0
10	NC			10	NC		
11	JX1_LVDS_P0	U12. P15	IO_L24P_T3_3	11	PwrGd_MODULE	U25. 4	PG

			4				
12	JX1_LVDS_P1	U12. N17	IO_L23P_T3_3 4	12	VIN_CB		
13	JX1_LVDS_N0	U12. P16	IO_L24N_T3_3 4	13	NC		
14	JX1_LVDS_N1	U12. P18	IO_L23N_T3_3 4	14	NC		
15	GND			15	GND		
16	GND			16	GND		
17	JX1_LVDS_P2	U12. R16	IO_L19P_T3_3 4	17	JX2_LVDS_P0	U12. M14	IO_L23P_T3_35
18	JX1_LVDS_P3	U12. V16	IO_L18P_T2_3 4	18	JX2_LVDS_P1	U12. L14	IO_L22P_T3_AD7 P_35
19	JX1_LVDS_N2	U12. R17	IO_L19N_T3_V REF_34	19	JX2_LVDS_N0	U12. M15	IO_L23N_T3_35
20	JX1_LVDS_N3	U12. W16	IO_L18N_T2_3 4	20	JX2_LVDS_N1	U12. L15	IO_L22N_T3_AD7 N_35
21	GND			21	GND		
22	GND			22	GND		
23	JX1_LVDS_P4	U12. Y18	IO_L17P_T2_3 4	23	JX2_LVDS_P2	U12. N15	IO_L21P_T3_DQS _AD14P_35
24	JX1_LVDS_P5	U12. V17	IO_L21P_T3_D QS_34	24	JX2_LVDS_P3	U12. K16	IO_L24P_T3_AD1 5P_35
25	JX1_LVDS_N4	U12. Y19	IO_L17N_T2_3 4	25	JX2_LVDS_N2	U12. N16	IO_L21N_T3_DQS _AD14N_35
26	JX1_LVDS_N5	U12. V18	IO_L21N_T3_D QS_34	26	JX2_LVDS_N3	U12. J16	IO_L24N_T3_AD1 5N_35
27	GND			27	GND		
28	GND			28	GND		

29	JX1_LVDS_P6	U12. V20	IO_L16P_T2_3 4	29	JX2_LVDS_P4	U12. K14	IO_L20P_T3_AD6 P_35
30	JX1_LVDS_P7	U12. W18	IO_L22P_T3_3 4	30	JX2_LVDS_P5	U12. H16	IO_L13P_T2_MRC C_35
31	JX1_LVDS_N6	U12. W20	IO_L16N_T2_3 4	31	JX2_LVDS_N4	U12. J14	IO_L20N_T3_AD6 N_35
32	JX1_LVDS_N7	U12. W19	IO_L22N_T3_3 4	32	JX2_LVDS_N5	U12. H17	IO_L13N_T2_MRC C_35
33	GND			33	GND		
34	GND			34	GND		
35	JX1_LVDS_P8	U12. N18	IO_L13P_T2_M RCC_34	35	JX2_LVDS_P6	U12. H15	IO_L19P_T3_35
36	JX1_LVDS_P9	U12. T20	IO_L15P_T2_D QS_34	36	JX2_LVDS_P7	U12. E17	IO_L3P_T0_DQS_ AD1P_35
37	JX1_LVDS_N8	U12. P19	IO_L13N_T2_M RCC_34	37	JX2_LVDS_N6	U12. G15	IO_L19N_T3_VRE F_35
38	JX1_LVDS_N9	U12. U20	IO_L15N_T2_D QS_34	38	JX2_LVDS_N7	U12. D18	IO_L3N_T0_DQS_ AD1N_35
39	GND			39	GND		
40	GND			40	GND		
41	JX1_LVDS_P10	U12. N20	IO_L14P_T2_S RCC_34	41	JX2_LVDS_P8	U12. F16	IO_L6P_T0_35
42	JX1_LVDS_P11	U12. T17	IO_L20P_T3_3 4	42	JX2_LVDS_P9	U12. E18	IO_L5P_T0_AD9P _35
43	JX1_LVDS_N10	U12. P20	IO_L14N_T2_S RCC_34	43	JX2_LVDS_N8	U12. F17	IO_L6N_T0_VREF _35
44	JX1_LVDS_N11	U12. R18	IO_L20N_T3_3 4	44	JX2_LVDS_N9	U12. E19	IO_L5N_T0_AD9N _35
45	GND			45	GND		

46	GND			46	GND		
47	NC			47	JX2_LVDS_P10	U12. G17	IO_L16P_T2_35
48	NC			48	JX2_LVDS_P11	U12. B19	IO_L2P_T0_AD8P _35
49	NC			49	JX2_LVDS_N10	U12. G18	IO_L16N_T2_35
50	NC			50	JX2_LVDS_N11	U12. A20	IO_L2N_T0_AD8N _35
51	GND			51	GND		
52	GND			52	GND		
53	NC			53	JX2_LVDS_P12	U12. C20	IO_L1P_T0_AD0P _35
54	NC			54	JX2_LVDS_P13	U12. D19	IO_L4P_T0_35
55	NC			55	JX2_LVDS_N12	U12. B20	IO_L1N_T0_AD0N _35
56	NC			56	JX2_LVDS_N13	U12. D20	IO_L4N_T0_35
57	VIN_CB			57	VIN_CB		
58	VIN_CB			58	VIN_CB		
59	VIN_CB			59	VIN_CB		
60	VIN_CB			60	VIN_CB		
61	BK13_LVDS_P8	U12. V6	IO_L22P_T3_1 3	61	JX2_LVDS_P14	U12. F19	IO_L15P_T2_DQS _AD12P_35
62	BK13_LVDS_P9	U12. T5	IO_L19P_T3_1 3	62	JX2_LVDS_P15	U12. G19	IO_L18P_T2_AD1 3P_35
63	BK13_LVDS_N8	U12. W6	IO_L22N_T3_1 3	63	JX2_LVDS_N14	U12. F20	IO_L15N_T2_DQS _AD12N_35
64	BK13_LVDS_N9	U12. U5	IO_L19N_T3_V REF_13	64	JX2_LVDS_N15	U12. G20	IO_L18N_T2_AD1 3N_35
65	GND			65	GND		
66	GND			66	GND		

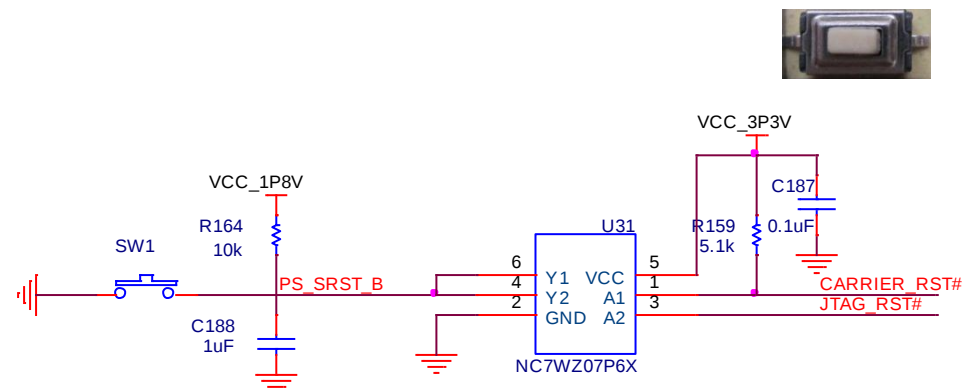
67	BK13_LVDS_P10	U12. U7	IO_L11P_T1_S RCC_13	67	JX2_LVDS_P16	U12. J18	IO_L14P_T2_AD4 P_SRCC_35
68	BK13_LVDS_P11	U12. Y7	IO_L13P_T2_M RCC_13	68	JX2_LVDS_P17	U12. L16	IO_L11P_T1_SRC C_35
69	BK13_LVDS_N10	U12. V7	IO_L11N_T1_S RCC_13	69	JX2_LVDS_N16	U12. H18	IO_L14N_T2_AD4 N_SRCC_35
70	BK13_LVDS_N11	U12. Y6	IO_L13N_T2_M RCC_13	70	JX2_LVDS_N17	U12. L17	IO_L11N_T1_SRC C_35
71	GND			71	GND		
72	GND			72	GND		
73	BK13_LVDS_P6	U12. V8	IO_L15P_T2_D QS_13	73	JX2_LVDS_P18	U12. K19	IO_L10P_T1_AD1 1P_35
74	BK13_LVDS_P7	U12. Y9	IO_L14P_T2_S RCC_13	74	JX2_LVDS_P19	U12. M19	IO_L7P_T1_AD2P _35
75	BK13_LVDS_N6	U12. W8	IO_L15N_T2_D QS_13	75	JX2_LVDS_N18	U12. J19	IO_L10N_T1_AD1 1N_35
76	BK13_LVDS_N7	U12. Y8	IO_L14N_T2_S RCC_13	76	JX2_LVDS_N19	U12. M20	IO_L7N_T1_AD2N _35
77	GND			77	GND		
78	GND			78	GND		
79	NC			79	NC		
80	NC			80	NC		
81	BK13_LVDS_P4	U12. W10	IO_L16P_T2_1 3	81	JX2_LVDS_P20	U12. J20	IO_L17P_T2_AD5 P_35
82	BK13_LVDS_P5	U12. V11	IO_L21P_T3_D QS_13	82	JX2_LVDS_P21	U12. L19	IO_L9P_T1_DQS_ AD3P_35
83	BK13_LVDS_N4	U12. W9	IO_L16N_T2_1 3	83	JX2_LVDS_N20	U12. H20	IO_L17N_T2_AD5 N_35
84	BK13_LVDS_N5	U12. V10	IO_L21N_T3_D	84	JX2_LVDS_N21	U12. L20	IO_L9N_T1_DQS_

			QS_13				AD3N_35
85	GND			85	GND		
86	GND			86	GND		
87	BK13_LVDS_P2	U12. W11	IO_L18P_T2_1 3	87	JX2_LVDS_P22	U12. K17	IO_L12P_T1_MRC C_35
88	BK13_LVDS_P3	U12. U9	IO_L17P_T2_1 3	88	JX2_LVDS_P23	U12. M17	IO_L8P_T1_AD10 P_35
89	BK13_LVDS_N2	U12. Y11	IO_L18N_T2_1 3	89	JX2_LVDS_N22	U12. K18	IO_L12N_T1_MRC C_35
90	BK13_LVDS_N3	U12. U8	IO_L17N_T2_1 3	90	JX2_LVDS_N23	U12. M18	IO_L8N_T1_AD10 N_35
91	BK13_LVDS_P0	U12. T9	IO_L12P_T1_M RCC_13	91	GND		
92	BK13_LVDS_P1	U12. Y12	IO_L20P_T3_1 3	92	GND		
93	BK13_LVDS_N0	U12. U10	IO_L12N_T1_M RCC_13	93	NC		
94	BK13_LVDS_N1	U12. Y13	IO_L20N_T3_1 3	94	NC		
95	GND			95	NC		
96	GND			96	NC		
97	VP_0_P	U12. K9	VP_0_P	97	NC		
98	DXP_0_P	U12. M9	DXP_0_P	98	NC		
99	VN_0_N	U12. L10	VN_0_N	99	NC		
100	DXN_0_N	U12. M10	DXN_0_N	100	NC		

信号定义描述表：

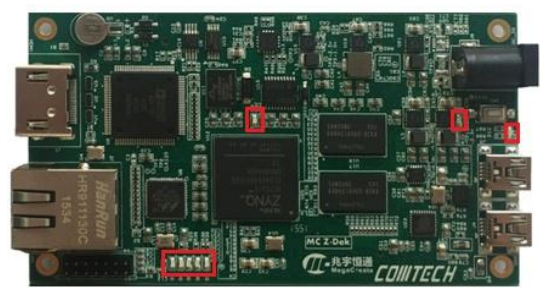
2.6.1 自定义按钮

板上设计有一个小按钮，用户可以用来定义为板卡复位操作。
复位输入为三个选项，手动、底板和 JTAG。



2.6.2 自定义 LED

Z-dek 板上共有 8 个 LED 灯，分布图如下（图中红色标注）：

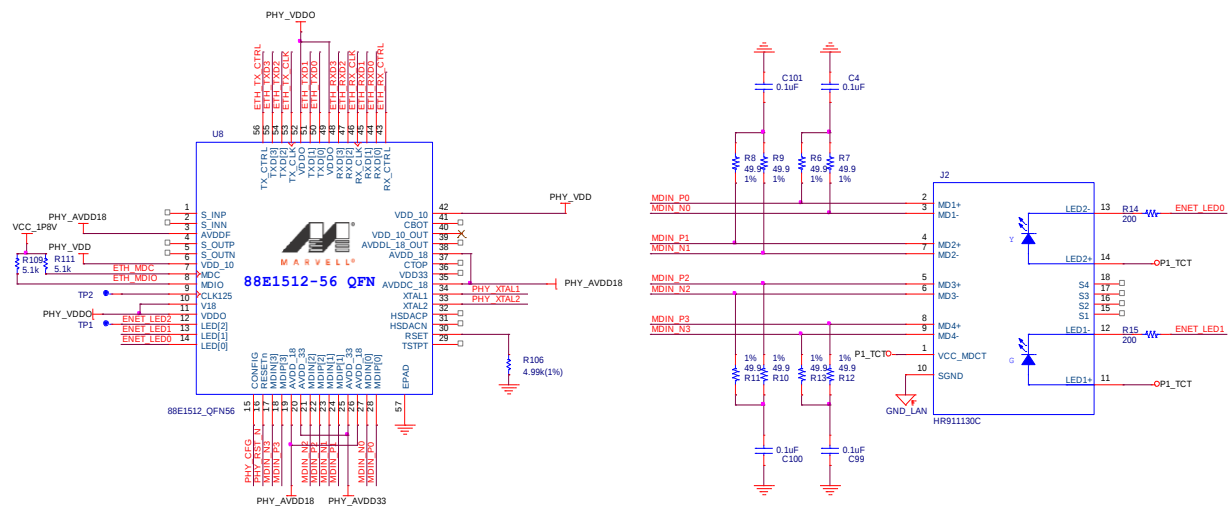


定义分别为：

LED	功能
D11	3.3V
D12	D-CIN
D3-D7	用户自定义
D9	FPGA_DONE

2.7 10/100/1000 以太网 PHY 芯片

MC Z-Dek 的 SOC 的 PS 部分包含了两个千兆以太网 MAC 层硬件控制器，外部需要一个物理层的转换芯片，来实现以太网通信的接口，开发板上选用了 88E1512 作为 PHY，采用 RGMII 接口与 ZYNQ 芯片相连接，扩展出一路千兆以太网。

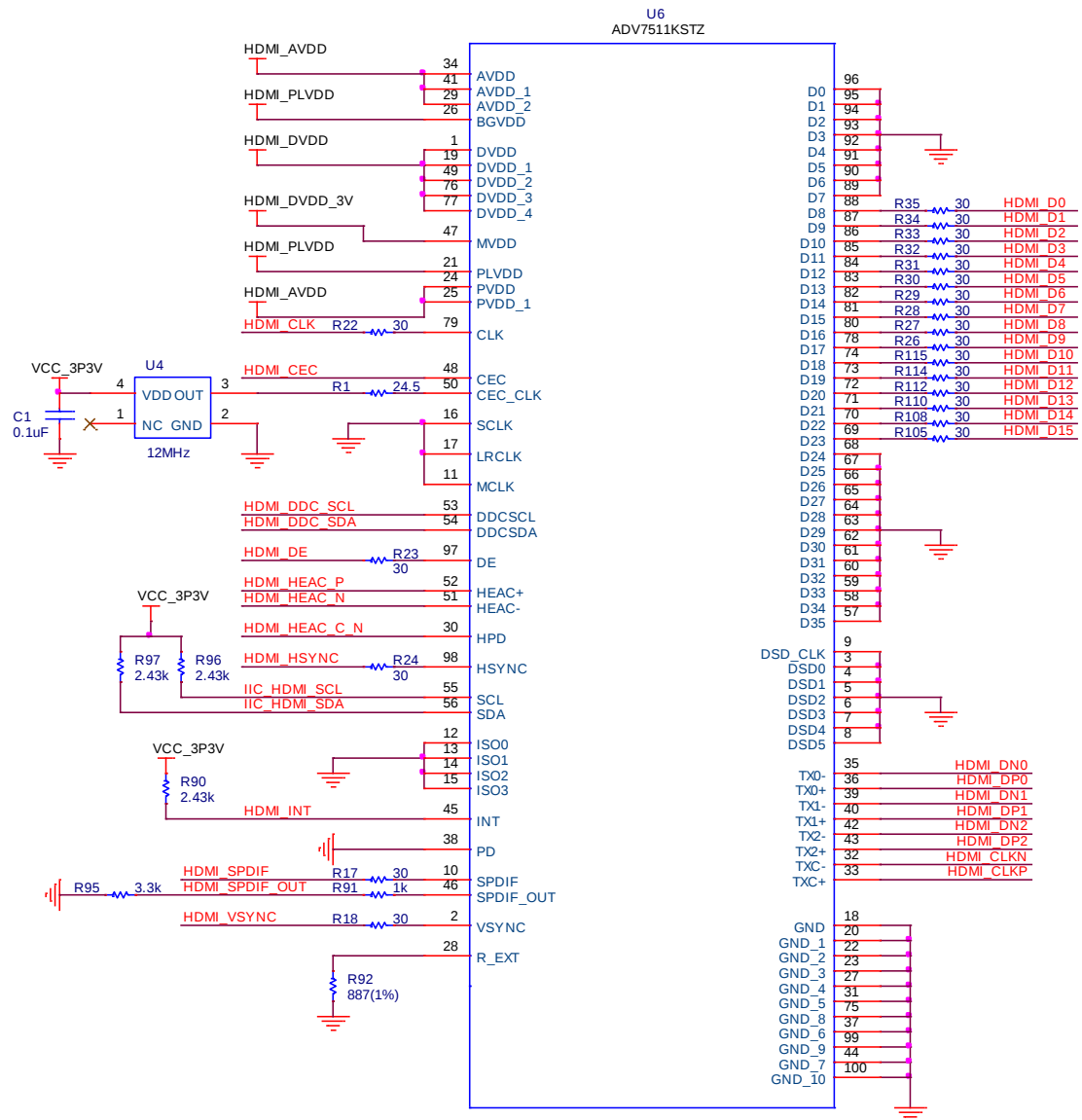


2.8 HDMI 视频接口

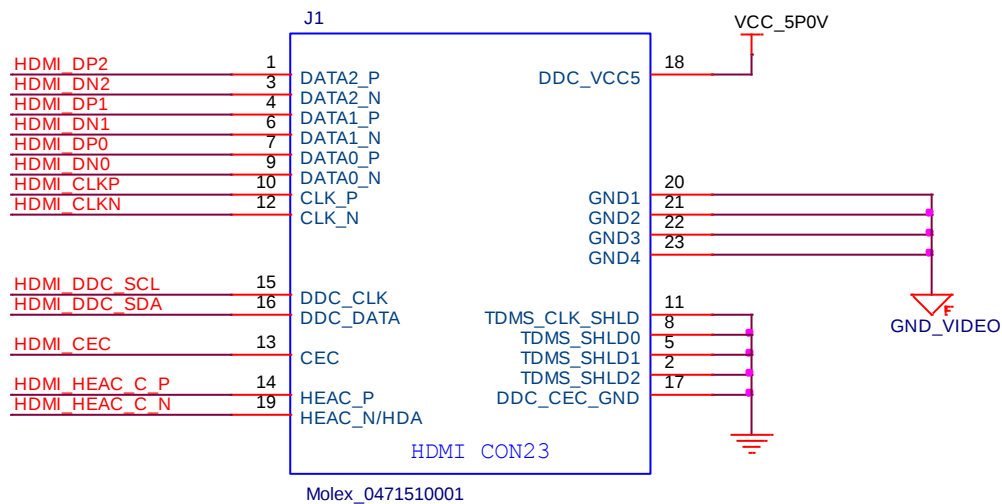
评估板提供了一路 HDMI 数字视频接口，可以实现对可视化操作系统的支持，控制芯片采用 Analog 公司的 ADV7511KSTZ，ADV7511 是一款 225 MHz 高清多媒体接口(HDMI®)发送器，兼容 HDMI 1.4 和 DVI 1.0，

Zynq SoC 的 PS 单元控制 HDMI，需要通过 PL 实现一个 HDMI 控制器，实现对 ADV7511 的驱动。PL 单元需要添加 IP 来构建 HDMI 控制器。

HDMI 部分的原理图如下图所示：



接插件采用标准的 HDMI-A 型数字视频接口，Type A 有 19 针，宽度为 13.9 毫米、厚度为 4.45 毫米，现在 能看到的设备 99% 都是这样尺寸的 HDMI 接口。接口定义部分的原理图见下图：



注意在设计使用 HDMI 接口时，数据线要做必要的保护处理，避免插拔带来的静电对驱动芯片的伤害。

2.9 模式配置

Zynq 芯片的加载可以支持五种模式，分别是 JTAG、Nand-Flash、Nor-Flash、Quad-SPI、SD-Card 等，在 Z-dek 板上，目前支持三种加载模式，分别是 JTAG、Nor-Flash、SD-Card。

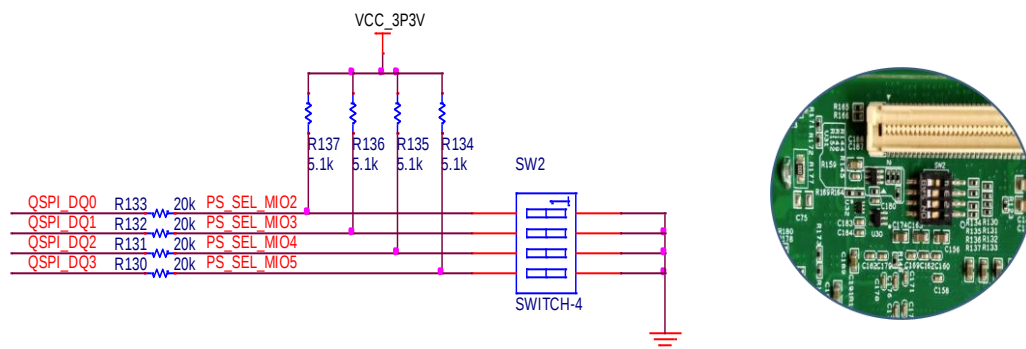
Boot Mode MIO Strapping Pins

Pin-signal / Mode	MIO[8]	MIO[7]	MIO[6]	MIO[5]	MIO[4]	MIO[3]	MIO[2]
	VMODE[1]	VMODE[0]	BOOT_MODE[4]	BOOT_MODE[0]	BOOT_MODE[2]	BOOT_MODE[1]	BOOT_MODE[3]
Boot Devices							
JTAG Boot Mode; cascaded is most common ⁽¹⁾				0	0	0	JTAG Chain Routing ⁽²⁾ 0: Cascade mode 1: Independent mode
NOR Boot ⁽³⁾				0	0	1	
NAND				0	1	0	
Quad-SPI ⁽³⁾				1	0	0	
SD Card				1	1	0	
Mode for all 3 PLLs							
PLL Enabled			0				
PLL Bypassed			1				
MIO Bank Voltage ⁽⁴⁾							
	Bank 1	Bank 0	Voltage Bank 0 includes MIO pins 0 thru 15. Voltage Bank 1 includes MIO pins 16 thru 53.				
2.5 V, 3.3 V	0	0					
1.8 V	1	1					

Notes:

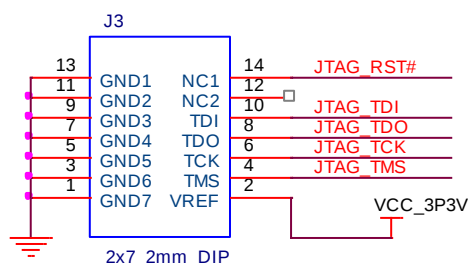
1. JTAG cascaded mode is most common and is the assumed mode in all the references to JTAG mode except where noted.
2. For secure mode, JTAG is not enabled and MIO[2] is ignored.
3. The Quad-SPI and NOR boot modes support execute-in-place (this support is always non-secure)
4. Voltage Banks 0 and 1 must be set to the same value when an interface spans across these voltage banks. Examples include NOR, 16-bit NAND, and a wide TPIU test port. Other interface configuration may also span the two banks.

在板上，通过一个四位的拨码开关来实现加载模式的设置，拨码开关位于板卡的背面，位号是。



2.9.1 JTAG

Z-dek 板卡提供的 PL 部分调试接口为标准的 14pin 的 2mm 插座（针），用户可以使用标准的 Xilinx 仿真器插头与板卡相连进行程序的下载、烧写与调试等。在使用时要注意仿真器 pin1 的方向要与板卡上的一致，避免插错对板卡芯片带来损坏。



2.10 电源

2.10.1 主电源输入

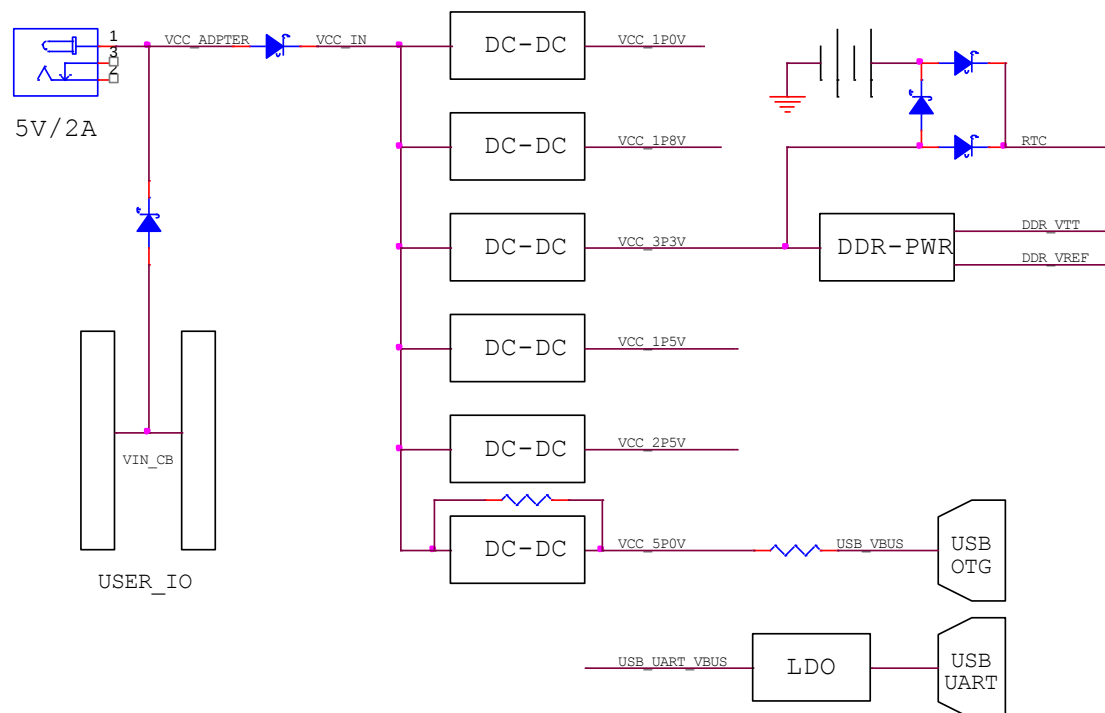
板卡主电源输入为 5V/2A，板卡静态功耗小于 5W。

下图为板上所需要的各路电压及其产生方式。

5V 电源通过外部电源插座插入，注意极性为内正外负。

如果 Z-Dek 作为核心板，插到用户自己设计的底板上使用时，可以通过底板给 Z-Dek 板供电，此时，Z-Dek 板上的电源插孔不要使用，以免电压不等，造成电源的损坏。

板上各路电源主要是通过 DC-DC 生成，以提高板卡的用电效率，减少发热。



2.10.2 降温风扇

Z-Dek 板卡在配置加载基本的应用程序后，整板静态功耗小于 5W，通常是在 2W 左右，因此在出厂时并不配备散热片或者是散热风扇。当用户在使用中，如果应用程序的规模很大，或者程序的运行频率很高时，板卡的功耗会相应的增大，但是一般是在 10W 以内。这是可以根据情况，在 ZYNQ 芯片上贴一片小散热片，以提高散热效果。如果使用的周围环境有散热风扇，则会有利于板卡在大功率使用下的稳定度。

3. Zynq-7000 AP SoC I/O Bank 分配

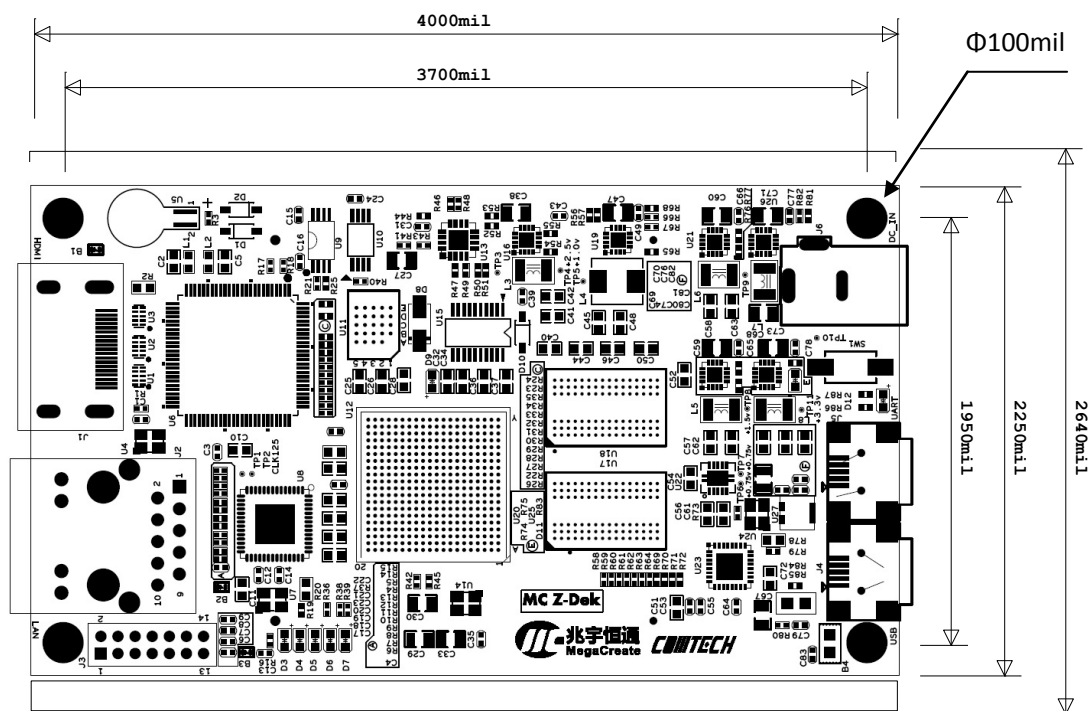
3.1 PS MIO 分配

（待补充）

3.2 Zynq-7000 AP SoC Bank 电压

(待补充)

4 机械结构



用户拿到的板卡是带有夹持边的，如果作为核心板使用，用户可以将夹持边掰掉即可。在某些应用中，用户需要将板卡插入金属盒等的导轨中，由于板卡器件距离板边较近，这时候夹持边可以起到一个辅助支撑的安全保护作用。

5 免责声明

本手册内容系北京兆宇恒通科技有限公司（以下简称“本公司”）知识产权，版权归本公司所有。本产品的所有部分，包括配件与软件等其所有权都归本公司所有。

未经本公司书面许可，不得以任何形式对此手册和其中所包含的任何内容进行仿制、拷贝、摘抄或转译为其它语言文字。

我们本着对用户负责的态度精心地编写该手册，但不保证本手册的内容完全

准确无误，不承担排版错误导致的用户理解歧义。

由于我们的产品一直在持续的改良及更新，故本公司保留对本手册内容进行修正而不另行通知之权利。

6. 关于兆宇恒通

北京兆宇恒通科技有限公司（以下简称：兆宇科技）是注册于中关村的高科技企业，主要从事以雷达、卫星通信数字处理技术以及工业测控技术为核心的产品研发、生产、销售与服务，是业界领先的设计开发与技术培训、系统集成与解决方案提供商。

兆宇科技以人为本，拥有一批在数字信号处理及工业测控等领域有深厚造诣的技术专家和专业设计团队，坚持“通用产品+定制服务”的技术开发策略，并推出了数款在行业内应用广泛的通用数据采集、存储、高速通信等产品，同时还为客户提供硬件、固件、驱动及应用软件等多个方向的产品样机设计，项目开发，技术咨询与培训等。

兆宇科技是 Xilinx 的战略合作伙伴，双方已签署合作备忘录。双方在技术合作、产品推广方面有良好的市场预期。

兆宇科技与航天科技集团、海尔集团、科通数字、中国科学院、清华大学等公司或高校拥有长期的良好合作关系。

作为中关村地区崭露头角的新兴高科技公司，兆宇科技从成立之日起就树立“技术领先、服务客户”的发展理念，秉承“科学、努力、坚持”的工作态度，为客户提供高效、专业的技术产品与设计服务，与客户共同成长，合作共赢！